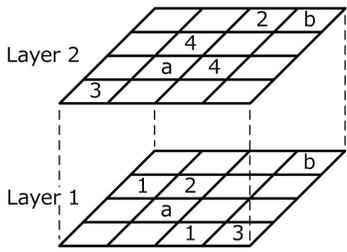
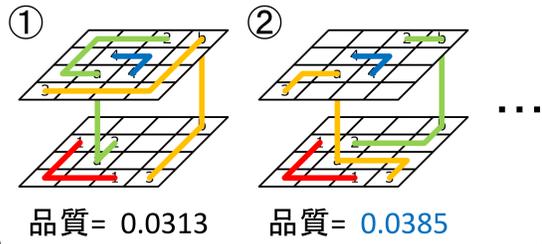


はじめに

3Dナンバーリンク

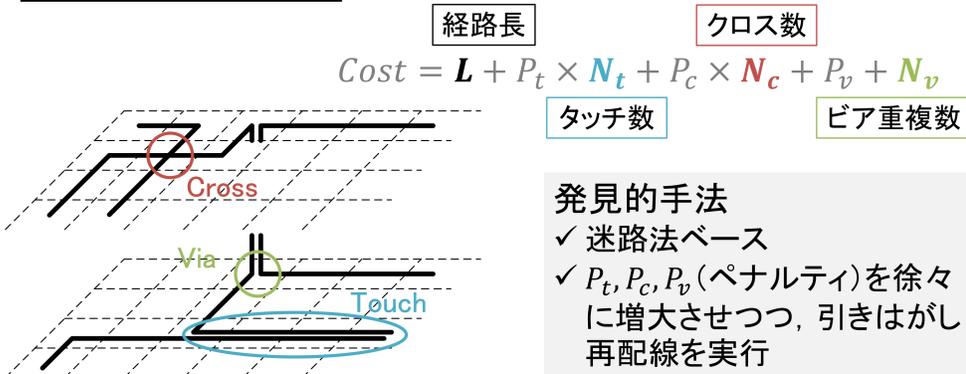


解が複数存在する可能性が高い



解の品質が重要!!

タッチ&クロスルータ [1]



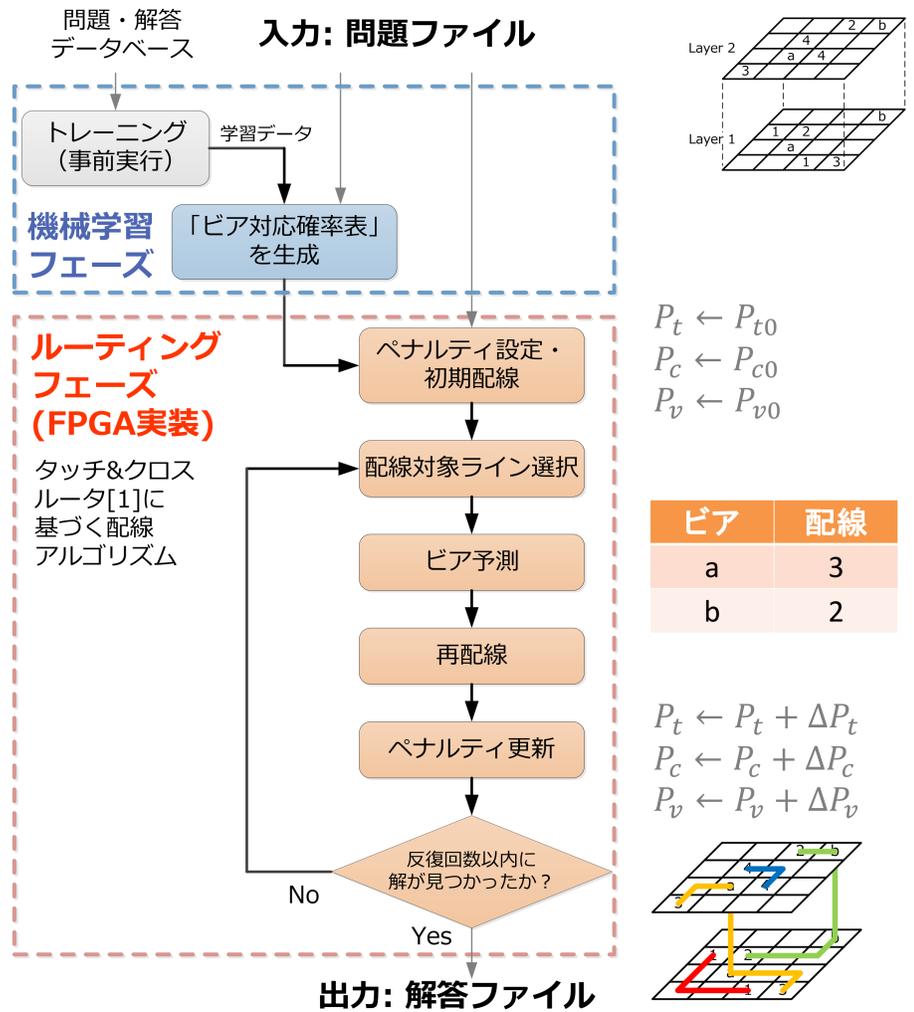
利点

解の品質が高い(ADC2015で実証) [2]

欠点

解空間が大きすぎる場合, 解答時間大

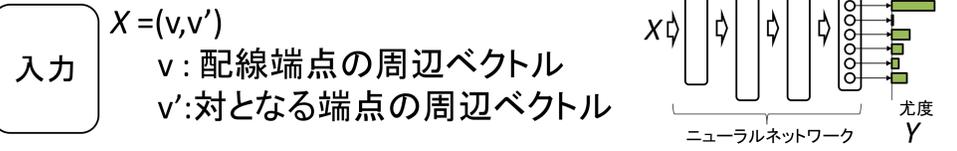
提案アルゴリズム



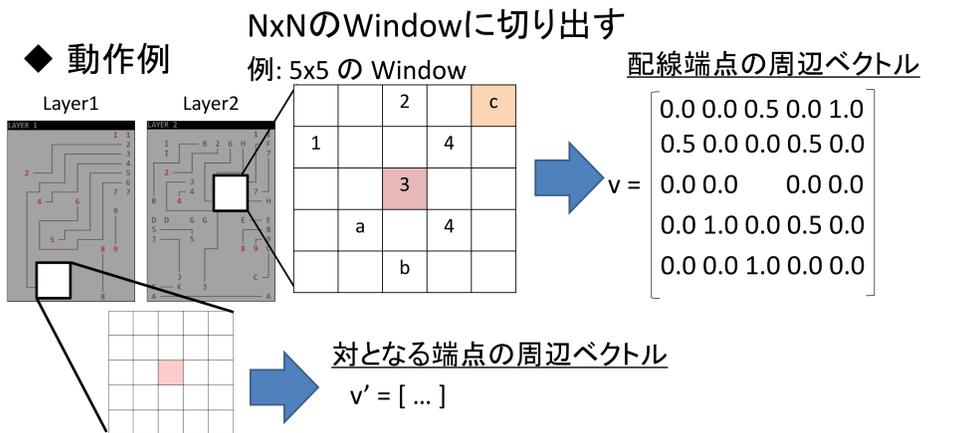
機械学習フェーズ

目的: 配線とビアを対応させ解空間を狭める

◆ ニューラルネットワークを用いた学習



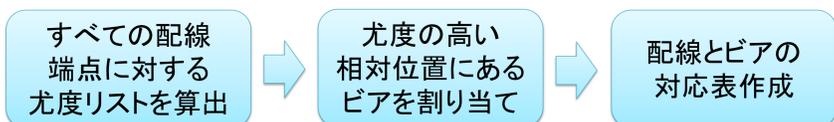
◆ 動作例



入力 $X=(v, v') \rightarrow$ 出力 $Y=[20, 3, 10, -4, -2, 0, 1, 2]$
 (配線端点3の対応ビアは Window内北東にあるビアcの可能性が高い)

◆ ビア割り当て

8通りの相対位置の尤度 \rightarrow 具体的なビアに割り当て



◆ 使用ツール

- Python 2.7 / Chainer 1.13.0

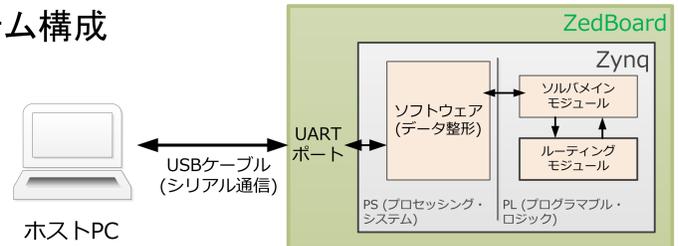
◆ 実行結果

問題サイズ	20x36x2	20x36x4
2015 ^[2] 3D対応手法	259	287
機械学習手法	167	257

ルーティングフェーズ (FPGA実装)

目的: 専用ハードウェア化によるソルバの高速化

◆ システム構成



◆ FPGAボード

ZedBoard
 Xilinx Zynq-7020 SoC
 (FPGA + ARM Cortex-A9 x 2 搭載)

◆ 使用ツール

- Vivado HLS 2016.2 WebPACK
- Vivado 2016.2 WebPACK
- Xilinx SDK 2016.2

◆ 実装方法・環境

- ソルバC言語記述 \rightarrow [Vivado HLS] 高位合成・指示子による最適化 \rightarrow [Vivado] 配置配線・ビットストリーム生成 \rightarrow [SDK] SW協調設計
- Vivado HLS** Clock period: 10ns, Clock Uncertainty: 2.0ns
- Vivado** Synthesis strategy: Vivado Synthesis Defaults
 Implementation strategy: Performance_ExplorePostRoutePhysOpt

◆ 実装結果

	LUT	LUTRAM	FF	BRAM	DSP	BUFG
Utilization	12348	556	9800	79	40	1
%	23.21	3.20	9.21	56.43	18.18	3.13

参考文献

- [1] K.Kawamura et al., Touch and Cross Router, ICCAD-90, Nov. 1990.
- [2] 寺田晃太郎 et al., 機械学習を用いたナンバーリンクソルバ, DAシンポジウム2015, 2015.